

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

SEMICONDUCTOR PACKAGE AND INTERMEDIATE SUBSTRATE FOR MOUNTING THE SAME

Patent Number: JP11177015

Publication date: 1999-07-02

Inventor(s): NAKAMURA KATSUNORI

Applicant(s): CANON INC

Requested Patent: JP11177015

Application Number: JP19970340919 19971211

Priority Number(s):

IPC Classification: H01L25/00 ; H01L23/12

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a semiconductor package in which generation of a cross-talk noise from another signal line or malfunction of an IC chip due to power source fluctuation can be suppressed, and in inexpensive mother board can be used even in the semiconductor package on which a quick operating element such as a microcomputer or a multi-functional IC chip is loaded.

SOLUTION: A package 20 is constituted of a wiring board 40, IC chip connected and sealed with the surface of the wiring board 40, and plural protruding electrodes arranged in a matrix shape for connecting the electrode of the IC chip with the outside part on the back face of the wiring board 40. In this case, a land pattern on which electric parts 11, 12, 13, 14, and 15 different from the IC chip are loaded is formed at the outer peripheral part other than the IC chip sealing part of the surface of the wiring board 40.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-177015

(43) 公開日 平成11年(1999)7月2日

(51) Int.Cl.⁶

H 01 L 25/00
23/12

識別記号

F I

H 01 L 25/00
23/12

B
H

審査請求 未請求 請求項の数7 OL (全5頁)

(21) 出願番号

特願平9-340919

(22) 出願日

平成9年(1997)12月11日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 中村 勝則

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

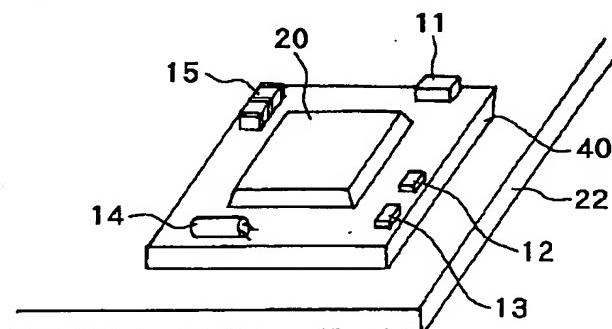
(74) 代理人 弁理士 岸田 正行 (外3名)

(54) 【発明の名称】 半導体パッケージおよび半導体パッケージ実装用中間基板

(57) 【要約】

【課題】 マイクロコンピューターのような高速動作する素子や多機能なICチップを搭載した半導体パッケージの場合であっても、他の信号ラインからのクロストークノイズや、電源変動によるICチップの誤動作の発生を押さえることができ、低価格のマザーボードを使用することが可能な半導体パッケージを提供する。

【解決手段】 配線基板40と、該配線基板の表面に接続封入されるICチップと、該配線基板の裏面にICチップの電極を外部に接続するためのマトリックス状に配置された複数の突起電極を有する半導体パッケージ20において、前記配線基板表面のICチップ封入部を除く外周部に、前記ICチップとは別の電子部品11, 12, 13, 14, 15を搭載できるようにしたランドパターンを設けたことを特徴とする半導体パッケージ。



【特許請求の範囲】

【請求項1】 配線基板と、該配線基板の表面に接続封入されるICチップと、該配線基板の裏面にICチップの電極を外部に接続するためのマトリックス状に配置された複数の突起電極を有する半導体パッケージにおいて、前記配線基板表面のICチップ封入部を除く外周部に、前記ICチップとは別の電子部品を搭載できるようにしたランドパターンを設けたことを特徴とする半導体パッケージ。

【請求項2】 前記マトリックス状に配置された複数の突起電極が、半田ボールより構成されることを特徴とする請求項1に記載の半導体パッケージ。

【請求項3】 前記配線基板上に搭載される電子部品が、ICチップの電源ラインに接続されるバイパスコンデンサであることを特徴とする請求項1に記載の半導体パッケージ。

【請求項4】 前記配線基板上に搭載される電子部品が、ICチップの高インピーダンスな信号に付加される電子部品であることを特徴とする請求項1に記載の半導体パッケージ。

【請求項5】 配線基板と、該配線基板の表面に接続封入されるICチップと、該配線基板の裏面にICチップの電極を外部に接続するためのマトリックス状に配置された複数の突起電極を有する半導体パッケージと、該半導体パッケージが実装されるプリント配線基板との間に実装可能とし、表面および裏面に前記半導体パッケージおよび前記プリント配線基板との接続用の電極を有する半導体パッケージ実装用中間基板において、前記半導体パッケージとの接続部を除く外周部に、電子部品を搭載できるようにしたランドパターンを設けたことを特徴とする半導体パッケージ実装用中間基板。

【請求項6】 前記半導体パッケージ実装用中間基板上に搭載される電子部品が、ICチップの電源ラインに接続されるバイパスコンデンサであることを特徴とする請求項5に記載の半導体パッケージ実装用中間基板。

【請求項7】 前記半導体パッケージ実装用中間基板上に搭載される電子部品が、ICチップの高インピーダンスな信号に付加される電子部品であることを特徴とする請求項5に記載の半導体パッケージ実装用中間基板。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本発明は、半導体パッケージおよび半導体パッケージ実装用中間基板に関するものである。

【0002】

【従来の技術】 従来、半導体パッケージの代表的なものとして、QFP（クワッド・フラット・パッケージ）が知られているが、近年になり半導体素子の高密度化に伴って、電極（例えば、電源ピン、信号ピン）の数も急速に増大し、半導体素子の多ピン化が進んでいる。

【0003】 一方、半導体素子を使用する機種は、小型・薄型化が求められ、半導体素子をより高密度に実装すべく、半導体パッケージの小型化を求めてきた。

【0004】 その結果、新しい半導体パッケージとして、OMPAC（オーバー・モールデッド・プラスチック・アレイ・キャリア）が提案された。

【0005】 図3は、OMPACを示す図である。OMPACの代表的な構成としては、プリント基板2上に半導体素子1を搭載し、プリント基板2の配線パターンと半導体素子1の電極部とをワイヤーボンディング3にて接続している。また、この配線パターンは、プリント基板2の裏面側にマトリックス状に形成された複数の電極ランドのうち該当する電極ランド6に接続され、さらにこの電極ランドは、半田ボールを溶融させ、突出した半田ボールの電極部5を形成している。

【0006】 また、半導体素子1の上面部は、トランスマーモールド4によりモールドすることにより、半導体素子1が気密封止された構成となっている。

【0007】 このように構成されるOMPACは、基板裏面にマトリックス状に電極を形成するため、電極間を1.0～1.5mmという広いピッチとした場合であっても多ピン化が可能である。

【0008】 したがって、この半導体パッケージを実装する際には、微細なパターンでクリーム半田を印刷する必要がなく、また、強度に優れた半田ボールが半導体パッケージの電極となるため、取り扱い容易で、かつ多ピンの半導体パッケージとすることができる。このような多ピンの半導体パッケージは、BGA（ボール・グリッド・アレイ）と称して広く採用されるようになってきている。

【0009】 また、BGAパッケージを搭載する基板として、近年ではプリント基板だけでなく、セラミック基板やテープ基板等についても使用されるに至っている。

【0010】 このようなBGAパッケージの実装は、マザーボードと呼ばれる親基板に容易に半田接続され、また、BGAパッケージと電気的に接続される電子部品も、このBGAパッケージに近接したマザーボード上に実装配置されている。

【0011】

【発明が解決しようとする課題】 図4は、BGAに封入されるICチップと周辺付加素子との接続の一例を示した結線図である。10はICチップであるところのMPU（マイクロ・プロセッsing・ユニット）、11は電源端子（VCC）とGND端子（VSS）間に接続され、電源変動によるICチップの誤動作を防止するバイパスコンデンサ、12および13はチャージポンプ回路を構成するチャージポンプ用コンデンサで、チャージポンプ端子CP1およびCP2およびGND端子（VSS）間に図のように接続され、ある基準電圧の2倍あるいは3倍等の電圧を作り出しており、主に液晶駆動電圧とし

て用いられている。

【0012】14はXTAL（クリスタル）発振器で、ICチップの低速動作時および液晶駆動タイミング用とし、素子両端を発振端子（XTAL1とXTAL2）両端子に接続される。

【0013】15は高速発振器で、ICチップの高速動作として、発振コンデンサを内蔵した3端子の素子がよく用いられ、発振端子（XTAL3とXTAL4）およびGND端子（VSS）間に接続される。

【0014】上記説明した、12～15の素子は、いずれも高インピーダンスな回路を構成するものであって、外部からのノイズや、近接するラインからのクロストークノイズに影響を受けやすく、ICチップの誤動作や、全く作動しないというような問題も発生してしまう。そのため、ICチップ10とバイパスコンデンサ11および上記12～15の高インピーダンス回路に付加される素子は、できるだけ近接した個所に配置する必要があり、また、結線もクロストークノイズに十分配慮して行わなければならない。

【0015】図5は、従来のBGAパッケージと、図4で説明した周辺素子とを実装した実装図で、ICチップ10を封止して形成されたBGAパッケージ20と、マザーボードと呼ばれる親基板22上に、図3で示した半田ボール部を介して、半田接続されて実装される。

【0016】周辺素子への結線は、多層化されたマザーボード22内のパターンニングにて行われるが、クロストークノイズ等の問題を十分考慮して結線しなければならない。

【0017】また、前述したマザーボード22の多層化は、前記従来例のように、BGAパッケージ20の周辺に素子を配置する構成によれば、素子実装面を多ピンのBGAパッケージ端子から、上記周辺素子以外の素子との配線に用いることに制約を受けると共に、このような制約は、デジタル信号および、前記高インピーダンス部を含むアナログ信号を、クロストークノイズ対策としての分離しなければならないためであるが、言うまでもなく、マザーボードを多層化すれば基板コストが上昇し、BGAを低コスト商品には採用しにくくなってしまう。

【0018】また、クロストークノイズ対策を簡単に行うため、基板の層数を多くするか、あるいは、少ない層数でクロストークノイズ対策を実施するには、時間をかけて十分考慮してパターンニングしなければならず、いずれにしても問題が残ってしまう。

【0019】さらにまた、BGAとマザーボード間にBGA実装用の中間基板を実装する方法があり、その例を図6に示す。

【0020】図6において、20はBGAパッケージで、配線基板21、電極ランド24、半田ボール25等より構成される汎用タイプのBGAパッケージと、電極ランドを上面に有するマザーボード22との間に、上面

電極26、下面電極28、上面電極26と下面電極28を接続するスルーホール27、下面電極を外部に接続するための半田ボール29からなる突起電極によって構成される中間基板23を介入させた実装方法を示している。

【0021】この中間基板を用いる意味としては、BGAパッケージ20をマザーボード22にリフロー実装する際に熱が加わり、BGAパッケージ20の配線基板21と、マザーボード22の熱膨張係数の不整合に起因する基板の反りが発生し、半田ボールによる接合強度の低下を防止するためであり、この中間基板の材料としては、BGAパッケージ20の配線基板21と、マザーボード22のそれぞれの熱膨張係数の約中間の熱膨張係数を持つものが用いられる。

【0022】各基板のそれぞれの接合は、BGAパッケージの突起電極と、中間基板27の上面電極26とが接合され、中間基板27の下面電極28に付加された半田ボール29からなる突起電極と、マザーボード22上の電極30または、ランドとがそれぞれ接合される。

【0023】このような実装方式においても、図4に示すような周辺素子を必要とする場合、高インピーダンスな信号へ、デジタルラインからのクロストークノイズの影響を防止するために、マザーボードの多層化が必要となり、コストアップとなったり、配線パターンニングの自由度の低下となってしまう。

【0024】本発明が解決しようとする課題は、マイクロコンピューターのような高速動作する素子や多機能なICチップを搭載した半導体パッケージの場合であっても、他の信号ラインからのクロストークノイズや、電源変動によるICチップの誤動作の発生を押さえることができ、低価格のマザーボードを使用することが可能な半導体パッケージおよび半導体パッケージ実装用中間基板を提供することである。

【0025】

【課題を解決するための手段】上記課題を解決するための請求項1に記載した本発明は、配線基板と、該配線基板の表面に接続封入されるICチップと、該配線基板の裏面にICチップの電極を外部に接続するためのマトリックス状に配置された複数の突起電極を有する半導体パッケージにおいて、前記配線基板表面のICチップ封入部を除く外周部に、前記ICチップとは別の電子部品を搭載できるようにしたランドパターンを設けたことを特徴とする半導体パッケージに関するものである。

【0026】また、上記課題を解決するための請求項5に記載した本発明は、配線基板と、該配線基板の表面に接続封入されるICチップと、該配線基板の裏面にICチップの電極を外部に接続するためのマトリックス状に配置された複数の突起電極を有する半導体パッケージと、該半導体パッケージが実装されるプリント配線基板との間に実装可能とし、表面および裏面に前記半導体パ

ッケージおよび前記プリント配線基板との接続用の電極を有する半導体パッケージ実装用中間基板において、前記半導体パッケージとの接続部を除く外周部に、電子部品を搭載できるようにしたランドパターンを設けたことを特徴とする半導体パッケージ実装用中間基板に関するものである。

【0027】請求項1に記載した本発明は、配線基板と、該配線基板の表面に接続封入されるICチップと、前記配線基板の裏面にICチップの電極を外部に接続するためのマトリックス状に配設された複数の突起電極を有する半導体パッケージにおいて、前記配線基板表面のICチップ封入部を除く外周部に、前記ICチップとは別の電子部品を搭載できるようにしたランドパターンを有する半導体パッケージ用配線基板としたため、マイクロコンピューターのような高速動作する素子や、多機能なICチップを搭載した半導体パッケージの場合であっても、発振回路やチャージポンプ回路のような高インピーダンスな信号端子や、電源端子から接続される付加電子部品をICチップに出来るだけ近くに配置することが可能となり、低価格の両面基板からなるマザーボードを使用した場合でも、他の信号ラインからのクロストークノイズや電源変動を押さえ、ICチップの誤動作の発生を押さえることが容易となり、マザーボードのコストアップが押さえられる。

【0028】さらに、ICチップと付加電子部品間のパターンニングは、半導体パッケージの配線基板内で完結出来ることで、半導体パッケージの電極数も削減可能となり、よりマザーボード上のパターンニングも容易となる。

【0029】請求項5に記載した本発明は、配線基板と、該配線基板の表面に接続封入されるICチップと、前記配線基板の裏面にICチップの電極を外部に接続するための複数の突起電極を有する半導体パッケージと、前記半導体パッケージを実装するプリント配線基板との間に実装可能とし、表面および裏面に前記半導体パッケージおよび前記プリント配線基板との接続用の電極を有する半導体パッケージ実装用中間基板において、前記半導体パッケージとの接続部を除く外周部に、電子部品を搭載できるようにしたランドパターンを有する半導体パッケージ用中間基板としたため、半導体パッケージが汎用タイプの場合であっても、発振回路やチャージポンプ回路のような高インピーダンスな信号端子や、電源端子から接続される付加電子部品は、半導体パッケージに出来るだけ近くに配置することが可能となり、低価格の両面基板からなるマザーボードを使用した場合でも、他の信号ラインからのクロストークノイズや電源変動を押さえ、ICチップの誤動作の発生を押さえることが容易となり、マザーボードのコストアップが押さえられる。さらに、半導体パッケージと付加電子部品間のパターンニングは、前記中間基板内で完結出来ることで、中間基板の

電極数も削減可能となると共に、半導体パッケージとマザーボード間の結線変更も可能となり、マザーボード上のパターンニングもより容易となる。

【0030】

【発明の実施の形態】（第1の実施形態）図1は、本発明の第1の実施形態を示す図である。

【0031】20は、ICチップを封止したBGAパッケージで、BGAパッケージ用配線基板40上に、ICチップ10をトランスマルチモールドした部分に加え、図4で説明した周辺素子も実装されたものが一体となり、BGAパッケージを構成するものである。

【0032】配線基板40にも従来同様、不図示ではあるが、裏面にマトリックス状に配置された半田ボールにより突起電極を形成しており、マザーボード22上に半田接続され実装される。

【0033】配線基板40内では、周辺素子を搭載できるようにした、不図示のランドパターンを有すると共に、デジタル信号とアナログ信号とをクロストークノイズの影響を受けないように、突起電極までの間で処理したものであり、マザーボード22内のパターンニングをより簡単にできる構成となる。例えば、マザーボード22の表面はアナログ信号パターンを、裏面はデジタル信号パターンを、というような分離も可能であると共に、基板の層数を少なくすることも可能であり、低コストのマザーボードの採用が可能である。

【0034】また、周辺素子も配線基板40上に搭載できるようにしたため、ICチップ10と周辺素子間の配線は、この配線基板上で処理することができるので、突起電極数も少なくすることが可能となる。

【0035】（第2の実施形態）図2は、本発明の第2の実施形態を示す図である。

【0036】20は、図3でも説明した汎用タイプのBGAパッケージで、41はBGA実装用中間基板、22はマザーボードである。中間基板には、不図示のBGAパッケージおよび、マザーボードそれぞれとの接続を行う上面電極と下面電極を持つと共に、図4で説明した周辺素子も搭載できるようにした、不図示のランドパターンを有しているため、ICチップのごく近くに周辺素子を配置することができ、クロストークノイズや電源変動等によるICチップの誤動作防止を行うことができる。さらに、第1の実施形態同様、マザーボードの基板層数を少なくし、低コストのマザーボードの採用することができる等、第1の実施形態と同様な効果が得られる。

【0037】

【発明の効果】以上説明したように、本発明によれば、BGAパッケージの配線基板または、汎用タイプのBGAパッケージとマザーボード間に介入させるBGAパッケージ実装用中間基板上に、ICチップとは別の周辺電子部品を搭載できるようにしたため、マイクロコンピュ

ーターのような高速動作および、多機能なICチップを搭載した半導体パッケージの場合であっても、高インピーダンスな信号端子や、電源端子から接続される付加電子部品は、ICチップに出来るだけ近くに配置することが可能となり、低価格の両面基板からなるマザーボードを使用した場合でも、他の信号ラインからのクロストークノイズや、電源変動によるICチップの誤動作の発生を押さえることが容易となる。また、マザーボードのコストアップも押さえられ、低価格商品にもBGAパッケージの採用が可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示す実装図

【図2】本発明の第2の実施形態を示す実装図

【図3】従来のBGAパッケージ、特にOMPACを示す図

【図4】ICチップと周辺付加素子との結線図

【図5】従来のBGAパッケージと周辺素子とを実装した実装図

【図6】従来の実装用中間基板を用いたBGAパッケージの実装を示す実装図

【符号の説明】

10 MPU

11 バイパスコンデンサ

12、13 チャージポンプ用コンデンサ

14 クリスタル発振器

15 高速発振器

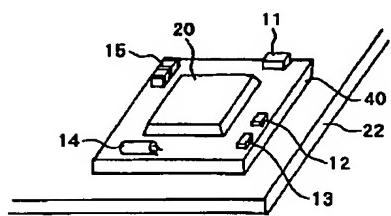
20 BGAパッケージ

22 マザーボード

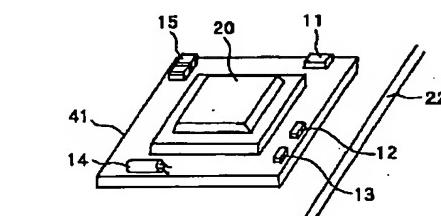
40 BGAパッケージ用配線基板

41 BGAパッケージ実装用中間基板

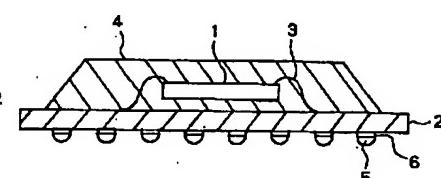
【図1】



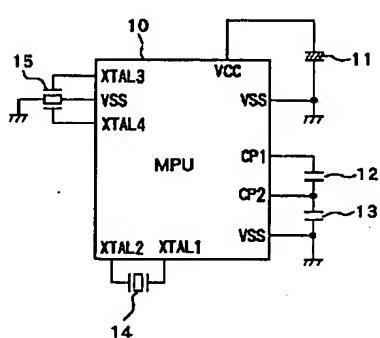
【図2】



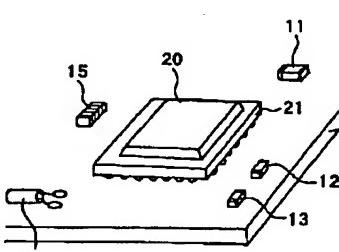
【図3】



【図4】



【図5】



【図6】

